

(54) SOLID ELECTROLYTIC CAPACITOR  
 (11) 1-161820 (A) (43) 26.6.1989 (19) JP  
 (21) Appl. No. 62-321050 (22) 18.12.1987  
 (71) SHOWA DENKŌ K.K. (72) KAZUMI NAITO(1)  
 (51) Int. Cl. H01G9/08, H01G9/10

**PURPOSE:** To decrease equivalent series resistance in a high frequency region, by forming a polymer layer whose polymer is the same as that in a conductive paste forming a conductor layer, and forming a sealing layer.

**CONSTITUTION:** On an anode substrate comprising a valve action metal, a dielectric oxide film layer, a semiconductor layer and a conductor layer of a conductive paste are sequentially laminated. A polymer layer is formed with the same polymer as that in a conductive paste forming the conductor layer on the conductor layer. A sealing layer is formed thereon. The structure is formed in this way. It is preferable that the composition of the semiconductor layer is manufactured with lead dioxide or lead dioxide and lead sulfate as main components. As the polymer component in the conductive paste, the polymer paste in which acrylic resin is the polymer component is preferably used. When the polymers in the polymer layer and in the conductive paste forming the conductor layer are not the same, the effect of contraction when the sealing layer is formed cannot be alleviated sufficiently.

(54) MANUFACTURE OF SOLID ELECTROLYTIC CAPACITOR  
 (11) 1-161821 (A) (43) 26.6.1989 (19) JP  
 (21) Appl. No. 62-321049 (22) 18.12.1987  
 (71) SHOWA DENKŌ K.K. (72) KAZUMI NAITO(1)  
 (51) Int. Cl. H01G9/24, H01G9/05

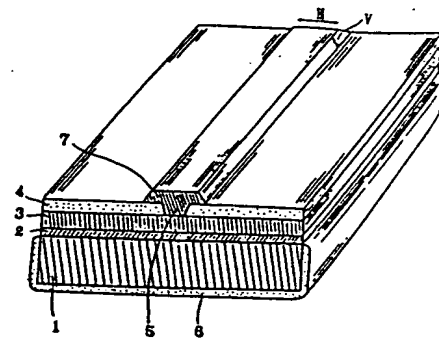
**PURPOSE:** To make it possible to manufacture an element with small leaking currents in a short time at a good yield, by sequentially forming a dielectric oxide film layer and a semiconductor layer, whose main component is lead dioxide or lead dioxide and lead sulfate, on the surface of an anode substrate comprising a valve-action metal, leaving the element in a atmosphere at a specified relative humidity, finally forming a conductor layer, and performing aging.

**CONSTITUTION:** On the surface of an anode substrate comprising a metal having valve action, a dielectric oxide film layer and a semiconductor layer, whose main component is lead dioxide or lead dioxide and lead sulfate, are sequentially laminated. After the semiconductor layer is formed in this way, it is essential that a solid-state electrolyte capacitor element is left in an atmosphere at a relative humidity of 30~100%. If the element is left alone at a relative humidity of less than 30%, the element lacks in industrial property since it takes long time. In order to form a conductor layer with a conductive paste and so forth thereafter, required amount of moisture is included in the semiconductor layer beforehand. Thus the oxide film is restored at the time of aging, and leaking current can be decreased.

(54) ELEMENT AND MANUFACTURE THEREOF  
 (11) 1-161822 (A) (43) 26.6.1989 (19) JP  
 (21) Appl. No. 62-320843 (22) 18.12.1987  
 (71) DENKI KAGAKU KOGYO K.K. (72) SHIYOU NISHINAGA(1)  
 (51) Int. Cl. H01L21/20, H01L21/208, H01L21/84

**PURPOSE:** To implement a monolithic structure of a single crystal element and an element having a different kind of structure, by depositing a single crystal material on a single crystal substrate by a vapor growth method, depositing a mask layer having a window on the surface, and causing a single crystal material to grow through the window of the mask layer.

**CONSTITUTION:** GaAs is caused to grow on a single crystal substrate 1 by a molecular beam epitaxial method, and a buffer layer 2 is provided. GaAs is caused to grow by the same method, and a single crystal material vapor growth layer 3 is provided. Then a mask layer 4 is deposited by a CVD method using a mixed gas of SiH<sub>4</sub> and oxygen. A linear window 5 is provided in the mask layer in the direction of <211> by lithography technology. A protective film 6 comprising SiO<sub>2</sub> is deposited so as to protect the Si-exposing parts of the rear surface and the edge part of the single crystal substrate. Slide board type liquid phase epitaxial growing is performed for the single crystal substrate which is processed in this way. As a result, a GaAs single crystal liquid growth material layer 7, which is caused to grow in the lateral direction, is obtained.



## ⑫ 公開特許公報(A)

平1-161822

⑤ Int. Cl.<sup>4</sup>H 01 L 21/20  
21/208  
21/84

識別記号

庁内整理番号

7739-5F  
7630-5F  
7739-5F

④ 公開 平成1年(1989)6月26日

審査請求 未請求 発明の数 2 (全5頁)

⑬ 発明の名称 素子およびその製造法

⑭ 特 願 昭62-320843

⑮ 出 願 昭62(1987)12月18日

⑯ 発 明 者 西 永 頌 千葉県鎌ヶ谷市くぬぎ山5-8-7-506

⑰ 発 明 者 氏 家 喜 則 千葉県市川市新田2-31-2

⑱ 出 願 人 電気化学工業株式会社 東京都千代田区有楽町1丁目4番1号

## 明 細 書

1. 発明の名称 素子およびその製造法

2. 特許請求の範囲

1. 単結晶基板上に単結晶物質気相成長層、マスク層および単結晶物質液相成長層を順に堆積させた素子。

2. 単結晶基板上に気相成長法により単結晶物質を堆積させる工程、前記単結晶物質の表面に窓付のマスク層を堆積させる工程および液相成長法により前記マスク層の窓から単結晶物質を成長させる工程からなる素子の製造法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は単結晶基板上に単結晶物質で形成したモノリシックな素子およびその製造法に関する。

(従来の技術と問題点)

近年、絶縁体薄膜上に単結晶Si層を形成させる技術が急速に発展し、単結晶Si層を3次元的に配置する試みがなされている。3次元化により素子の高集積化が計られる。3次元ICの究極の目標

として複合情報処理機構を有する素子およびVLSIに代表される超高集積化素子がある。これらのうち、VLSIはSOS (Silicon On Sapphire) 技術により一部実現されている。しかしながら、複合情報処理機構を構築するには絶縁物上への半導体の堆積すなわちSOI (Semiconductor On Insulator) 技術および異種構造素子の付加技術が必要になる。

現在高い信頼性を持っているSi素子製造技術を中心としてこれにSOI技術を組合せることにより各種センサの組込みやMOS型とバイポーラ型の複合化が達成され、さらにこれに化合物半導体を合体させれば複合情報処理機構を有する素子が得られるものと期待される。

従来、このようなモノリシックな素子を製造するために堆積層再結晶化法、エピタキシャル堆積法、単結晶分離法が研究されている。とくに、エピタキシャル堆積法を用いてのSi単結晶基板上への直接のGaAs成長、あるいは格子定数に由来するミスフィット転位低減のためにバッファ層を介

してのGaAs成長が盛んに試みられている(文献: Extended Abstracts of the 19th Conference on Solid State Device and Materials, Tokyo, 1987, pp147-150)。

回路素子を再現性良く堆積層中に組み込むためには第1に良質な結晶性を有する堆積層を形成することが必要であり、第2にはすでに堆積層の下部層に形成されている素子に損傷を与えることなく堆積層成長を行なう低温成長技術が必要である。本発明はこれらの2つの課題を解決した素子およびその製造法を提供することを目的とする。

本発明者らは複合情報処理機構を有し、高集積高速性を有するモノリシック素子を製造するために、まずGaAs基板上へ低温成長による良質なSOIを形成するために以下の実験を行ない報告した(応用物理学学会1987年春季講演会予稿集、第1集、第130頁)。

すなわち、(111)面GaAs基板上にマスク作製のためにスパッタリングまたはCVDにより比較的低温でSiO<sub>2</sub>膜あるいはSi<sub>3</sub>N<sub>4</sub>膜からなるマス

ク層を形成した。つぎに、フォトリソグラフィにより(111)面内<211>方向へ線状にGaAs基板表面をマスク層から露出させた。この様にして調製されたGaAs基板を液相エピタキシャル装置に導入し、マスク層から露出させたGaAs基板表面を種としてGaAsをマスク上に横方向へ成長させた。

使用する基板は(100)面を用いることもできるが(111)面上への横方向成長幅(H)と縦方向成長幅(V)との比(H/V)を比較したところ、(111)面上への成長の方があらゆるマスクエッジ方向で(H/V)が大ききSOIの達成に有利となることが判明した。さらに(111)面内でもマスクエッジによる(H/V)の方向依存性があり、<211>方向から90°傾いた<110>方向では<211>方向と比較すると(H/V)が小さく、さらに横方向成長結晶フロント面方位が(111)面で終端され、(H/V)の増大は期待できず、<110>方向を除いた領域以外の方向が(H/V)の増大に有利であるこ

とが判明した。また、これらの横方向成長層の結晶性をエッチングおよび透過形電子顕微鏡で観察したところ、ピットまたは転位像は確認されなかった。

(問題点を解決するための手段)

このような研究結果を基にして、単結晶素子と異種構造素子とのモノリシック化達成のために、Si上へのGaAsのSOIを液相エピタキシャル<sup>法</sup>方を採用して鋭意研究した結果、本発明を完成させるに至った。

すなわち、本発明の第1は単結晶基板上に単結晶物質気相成長層、マスク層および単結晶物質液相成長層を順に堆積させた素子である。

また、本発明の第2は単結晶基板上に気相成長法により単結晶物質を堆積させる工程、前記単結晶物質の表面に窓付のマスク層を堆積させる工程および液相成長法により前記マスク層の窓から単結晶物質を成長させる工程からなる素子の製造法である。

本発明において単結晶物質とはSi、Geなどの一

元系物質、あるいはGaAs、GaP、InP、InAs、AlAs、AlSb、GaSb、GaAlAs、GaAsP、InGaAs、GaAsSb、InGaAsPなどの2元～多元系物質から選ばれた物質である。単結晶基板とは前記単結晶物質から形成され、素子の構造上の基礎となる成形成体である。

単結晶物質気相成長層とは分子線エピタキシャル成長法、有機金属気相成長法あるいはこれらに類する方法により単結晶物質を堆積させたものである。単結晶物質気相成長層の厚みはとくに制限はなく、目的の素子の構成に応じて任意に定めることができる。なお、前記単結晶物質気相成長層<sup>を</sup>堆積させる前に単結晶物質からなるバッファ層を設けると格子定数に由来するミスフィット転位がよりいっそう低減されるので好ましい。

つぎに、単結晶物質気相成長層の表面にマスク層を堆積させる。マスク層はGaAsを基板とする素子の製造時のものと同じでよく、たとえばモノシランと酸素との混合ガスによるCVD(化学気相蒸着法)により厚さ3000Å程度のSiO<sub>2</sub>膜を堆

積さ<sup>ば</sup>ず<sup>つ</sup>いでフォトリソグラフィ技術により  $\text{SiO}_2$  膜の表面に目的とする素子のパターンに応じた窓をあければよい。その窓からは前記単結晶物質気相成長層の一部が露出する。

つぎに単結晶基板の裏面、側面など単結晶の成長層の堆積がない箇所の表面に  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$  等の保護膜を堆積させることが好ましい。これは液相エピタキシャルを行なったときに単結晶基板の露出部分が液相成長時溶液相へ溶出することを防ぐためである。

保護膜の堆積方法はスパッタリング、CVD等の比較的低温かつステップカバレージが良好である方法で行うのが良く、特に基板エッジ部分の保護を行う上で重要と考えられる。又、単結晶基板の溶液相への溶出のための保護膜の代りに、液相成長装置上の工夫として、露出した単結晶基板と溶液相とが出来る限り接触しない様に、あるいは接触したとしても短時間である様に寸法を調整することも可能であるが、万全なものではなく、出来ればこの2つの手法を併用するのが良策である。

子である。

#### 実施例1

Si単結晶の(111)面からなるウエハーを寸法  $10 \times 15 \text{ mm}$  に切断したものを単結晶基板1とした。まず、単結晶基板上に分子線エピタキシャル法により温度  $130^\circ\text{C}$  でGaAsを  $0.1 \mu\text{m}/\text{時}$  の成長速度で成長させ、厚さ  $20 \text{ nm}$  のGaAsからなるバッファ層2を設けた。このときの成長条件は全圧  $10^{-7} \text{ torr}$ 、ヒ素ビーム圧  $P_{\text{As}} = 6.7 \times 10^{-7} \text{ torr}$ 、Gaビーム圧  $P_{\text{Ga}} = 1.0 \times 10^{-7} \text{ torr}$  であった。

つぎに同じ方法で温度  $560^\circ\text{C}$  でGaAsを  $1 \mu\text{m}/\text{時}$  の成長速度で成長させ、厚さ  $3 \mu\text{m}$  のGaAsからなる単結晶物質気相成長層3を設けた。このときの全圧とヒ素ビーム圧は前記と同じであり、Gaビーム圧  $P_{\text{Ga}} = 1.6 \times 10^{-7} \text{ torr}$  であった。

ついで、 $\text{SiH}_4$  と酸素の混合ガスによるCVDにより厚さ  $3000 \text{ \AA}$  の<sup>かん</sup> $\text{SiO}_2$ なるマスク層4を堆積させ、リソグラフィ技術により該マスク層に  $\langle 211 \rangle$  の方向に幅  $1 \mu\text{m}$  の線状の窓5をあけ

このように調製された単結晶気相成長層の上に窓を通して単結晶物質の液相成長層を設ける。液相成長とは例えば液相エピタキシャル成長法である。液相成長層の幅および高さはとくに制限がなく、目的の素子の機能に応じて任意に定めることができる。単結晶液相成長層は単結晶気相成長層を種として形成される。

単結晶液相成長層の成長方向は主として横方向(すなわち、単結晶基板の面に平行)であり、SOIの達成上有利になる。エッチングおよびTEM観察を行なってピットおよび転位像の有無を調べれば、この横方向成長層の結晶性を確認することができる。

なお、単結晶基板、単結晶物質気相成長層および単結晶物質液相成長層に用いる単結晶物質はたがいに同一物質である必要はなく、目的の素子の構成に応じて異種物質を組み合わせることができる。(実施例)

本発明の内容を具体的に説明するため以下にその実施例、比較例を示す。第1図は実施例1の素

子である。単結晶基板の裏面およびエッジ部のSi露出部を保護するため、テトラエチルオルトシリケートを  $600^\circ\text{C}$  の温度で熱分解することにより、厚さ  $4000 \text{ \AA}$  の $\text{SiO}_2$ からなる保護膜6を堆積させた。

このように処理した単結晶基板をスライドボード型の液相エピタキシャル装置を用いて液相エピタキシャル成長を行なった。液相エピタキシャル成長は溶媒としてGaを用い、水素雰囲気下で「ツ-フェーズ・スーパー・クーリング(two phase super cooling)法」で行なった。その条件は初期成長温度  $700^\circ\text{C}$ 、初期過飽和度 ( $\Delta T_0$ )  $7^\circ\text{C}$ 、平均冷却速度  $0.2^\circ\text{C}/\text{分}$ 、時間  $20 \text{ 分}$  であった。

その結果、横方向成長幅(H)は  $110 \mu\text{m}$ 、縦方向成長幅(V)は  $11 \mu\text{m}$  の鏡面で横方向に成長したGaAs単結晶物質液相成長層7が得られた。エッチングおよびTEM観察の結果、ピットは認められず、転位密度は  $10^3/\text{cm}^2$  以下であった。

#### 実施例2

バッファ層を設けなかったことを除けば実施例1とまったく同様な方法で行った結果、横方向

成長幅 (H)  $100\mu\text{m}$ 、縦方向成長幅 (V)  $9\mu\text{m}$  の鏡面で横方向に成長したGaAs単結晶物質液相成長層が得られた。エッチング及びTEM観察の結果、ビットは認められず、転位密度は  $10^3/\text{cm}^2$  以下であった。

#### 実施例 3

Si基板の結晶方位が  $\langle 110 \rangle$  方向に  $4^\circ$  傾斜した  $(100)$  基板を用いたことと線状の窓方向を  $\langle 110 \rangle$  方向にしたことを除けば、実施例 2 とまったく同様な方法で行った結果、横方向成長幅 (H)  $20\mu\text{m}$ 、縦方向成長幅 (V)  $40\mu\text{m}$  の鏡面で横方向に成長したGaAs単結晶物質液相成長層が得られた。又エッチング及びTEM観察の結果、ビットは認められず、転位密度は  $10^3/\text{cm}^2$  以下であった。

#### 実施例 4

実施例 3 とは、線状の窓の方向を  $\langle 110 \rangle$  方向から  $25^\circ$  反時計方向に傾けた以外は、まったく同様な方法で行った結果、横方向成長幅 (H)  $50\mu\text{m}$ 、縦方向成長幅 (V)  $25\mu\text{m}$  の鏡面で横

方向に成長したGaAs単結晶物質液相成長層が得られた。又エッチング及びTEM観察の結果、ビットは認められず、転位密度は  $10^3/\text{cm}^2$  以下であった。

#### 比較例 1

$10 \times 15\text{mm}$  にスクライブされたSi単結晶  $(111)$  基板上に分子線エビタキシャル法を用いて混晶物質バッファー層を介し、GaAs層を  $3\mu\text{m}$  の厚さに成長させた。成長プロセスは、まず温度  $80^\circ\text{C}$  においてGaAsを  $0.1\mu\text{m}/\text{時}$  の成長速度で成長させて、厚さ  $20\text{nm}$  ほどのアモルファスGaAsバッファー層を堆積させた。このときの成長条件は全圧  $10^{-4}\text{torr}$ 、ヒ素ビーム圧  $P_{\text{As}} = 6.7 \times 10^{-4}\text{torr}$ 、Gaビーム圧  $P_{\text{Ga}} = 1.0 \times 10^{-7}\text{torr}$  であった。

つぎに基板温度  $600^\circ\text{C}$  でガリウムのビームを止め、ヒ素ビーム圧  $P_{\text{As}} = 6.7 \times 10^{-4}\text{torr}$  でアニールすることにより、GaAsを単結晶化させた。その後温度は  $600^\circ\text{C}$  のままでガリウムビーム圧  $P_{\text{Ga}} = 1.6 \times 10^{-7}\text{torr}$ 、ヒ素ビーム圧は前記と同

じ条件で成長速度を  $1\mu\text{m}/\text{時}$  に上げて、GaAs層を成長させた。その結果、鏡面堆積層が得られたが、エッチング及びTEM観察の結果ビット及び転位が  $1\text{cm}^2$  当たり  $10^7$  個残留していることが認められた。

#### (発明の効果)

本発明の素子およびその製造法によれば、エビタキシャル成長の初期においては気相成長法により単結晶物質を堆積させるので、基板の溶液相への溶出がなく成長させることができる上に、気相成長を単原子層オーダーで制御することができる。

また、エビタキシャル成長の中・後期においては液相成長法により単結晶物質を堆積させるので、エビタキシャル成長が準熱平衡状態で行なわれ、結晶性が良好な単結晶物質成長層となる。とくに、中・後期におけるエビタキシャル成長が単結晶基板上の横方向に行なわれるときには、その結晶性はその下層の影響を受けることがなく、単結晶基板との格子整合をとるための技術的対策を講じる必要がない。

さらに、本発明の製造法によれば単結晶基板上へ単結晶物質からなる異種構造半導体層を比較的低温で堆積することができ、該異種構造半導体層はとくに転位密度が低く、鏡面状態になるので、本発明の素子は信頼性が高い。

#### 4. 図面の簡単な説明

第1図は本発明の実施例1の素子の斜視図であり、その前面は断面を示す。

符号 1…単結晶基板、 2…バッファー層、  
3…単結晶物質気相成長層、 4…マスク層、  
5…窓、 6…保護膜、  
7…単結晶物質液相成長層。

特許出願人 電気化学工業株式会社

第1図

